

10/591178
IAP5 Rec'd PCT/PTO 30 AUG 2006

CIRCUIT INTEGRÉ AVEC DIODE DE LECTURE DE TRES PETITES DIMENSIONS

L'invention concerne les circuits intégrés comportant à la fois des grilles conductrices déposées au-dessus d'un substrat semi-conducteur et des diodes formées dans ce substrat.

5 L'application principale envisagée est un registre de lecture de charges électriques, fonctionnant par transfert de charges dans le substrat semi-conducteur sous l'influence de potentiels variables appliqués à des grilles juxtaposées au-dessus du substrat et isolées du substrat. De tels registres sont présents dans les capteurs d'image matriciels réalisés en 10 technologie CCD (de l'anglais Charge Coupled Devices). Ils servent notamment à récupérer, ligne par ligne, les charges stockées dans une matrice d'éléments photosensibles pour les envoyer vers un circuit de lecture qui les convertit en tensions ou courants électriques représentant le niveau de charges photogénérées en chaque point de la ligne.

15 Le registre de lecture constitué par des grilles ou électrodes juxtaposées se termine en général par une diode formée dans le substrat, diode qui permet d'effectuer la conversion d'une quantité de charges en niveau de tension électrique. La diode de lecture doit être aussi petite que possible pour réduire au maximum sa capacité ; en effet si la capacité de la 20 diode est trop grande, elle empêche un fonctionnement du registre à des vitesses très élevées.

C'est pourquoi la configuration du registre de lecture est en général celle qui est représentée à la figure 1 : les grilles ou électrodes EL1, EL2, etc. du registre, d'abord régulièrement et identiquement disposées le 25 long du registre, se terminent en un entonnoir qui concentre les charges vers une petite diode de lecture DL.

La technologie utilisée pour réaliser la diode limite cependant vers les valeurs inférieures la taille qu'on peut donner à la diode ; en effet, la diode est enserrée entre la dernière électrode ELn du registre et une autre 30 électrode ou grille de silicium GRST ; l'électrode GRST ou grille de remise à niveau constitue une barrière entre la diode et une région de silicium dopée

formant drain DR, cette barrière servant à rétablir périodiquement le potentiel de la diode à un niveau constant avant une nouvelle lecture de charges. D'autre part, la diode doit être reliée au reste du circuit de lecture (non représenté) par au moins une connexion électrique, et la prise de 5 contact de cette connexion sur la diode occupe une place non négligeable qui oblige à utiliser une diode plus grande que celle qui est vraiment nécessaire pour le fonctionnement du circuit.

C'est pourquoi la présente invention propose un procédé de fabrication d'une diode de petites dimensions entre deux électrodes de 10 silicium déposées au-dessus d'un substrat, ce procédé comportant les étapes suivantes :

- a) réalisation sur le substrat des deux électrodes séparées par un intervalle,
- b) oxydation thermique d'une partie de l'épaisseur des 15 électrodes, en hauteur et en largeur, en laissant subsister un espace entre les électrodes oxydées, le substrat étant protégé contre l'oxydation dans cet espace ;
- c) mise à nu de la surface du substrat dans cet espace,
- d) dépôt d'une couche de silicium polycristallin dopé venant en 20 contact dans cet espace avec le substrat pour former un pôle de la diode, le substrat formant l'autre pôle,
- e) élimination partielle du silicium polycristallin en laissant subsister un motif désiré, ce motif recouvrant au moins l'espace laissé entre les électrodes et recouvrant également une région située hors de cet espace 25 ;
- f) dépôt d'une couche isolante, gravure locale d'une ouverture dans cette couche isolante au-dessus du silicium polycristallin hors de l'espace situé entre les électrodes, pour former une zone de contact déportée, dépôt d'une couche conductrice venant en contact avec le silicium 30 polycristallin dans la zone de contact déportée, et gravure de la couche métallique selon un motif d'interconnexions désiré.

La zone de contact est déportée par rapport à la zone constituant la diode en ce sens que la couche conductrice, de préférence un métal et de

préférence de l'aluminium, vient ~~en~~ en contact avec la couche de silicium polycristallin en un endroit qui n'est pas situé au-dessus de la diode.

De préférence, pour l'étape e) d'élimination partielle du silicium polycristallin, on procède de la manière suivante : on dépose sur le silicium polycristallin une couche uniforme de nitre de silicium, on la grave selon un motif qui laisse subsister la couche au-dessus des zones de silicium polycristallin qu'on veut conserver, et on oxyde le silicium sur toute son épaisseur là où il n'est pas recouvert de nitre, jusqu'à obtenir un motif de silicium qui ne comprend que les zones qui ont été recouvertes de nitre.

On notera qu'en variante on peut prévoir, entre le dépôt de la couche de nitre et l'étape ultérieure d'oxydation du silicium polycristallin, d'attaquer chimiquement le silicium polycristallin pour l'enlever autant que possible là où il n'est pas protégé par le nitre, avant de procéder à l'oxydation.

Dans le cas de l'utilisation de nitre de silicium, l'ouverture locale de la couche isolante à l'étape f) comprend aussi l'ouverture du nitre de silicium pour mettre à nu le silicium polycristallin dans la zone de contact avant dépôt de la couche conductrice.

Typiquement, avec ce procédé, on peut réaliser une diode de dimensions environ 1,5 micromètre par 1,5 micromètre alors qu'un procédé plus classique, consistant à ouvrir une zone de contact dans une couche isolante directement au-dessus de la diode et à déposer de l'aluminium au-dessus de cette zone pour venir ~~en~~ en contact avec le substrat, ne permettrait pas de descendre au-dessous de 4 micromètre par 4 micromètre, compte-tenu des marges qu'il faut prendre lors de l'ouverture de la zone de contact.

L'invention propose, à titre d'application, un circuit intégré comportant un registre de transfert de charges avec une diode de lecture au bout du registre, entre une dernière électrode du registre et une électrode de remise à niveau, caractérisé en ce que la diode de lecture est constituée par une région dopée délimitée d'un côté par les électrodes et de l'autre côté par des régions d'oxyde de silicium épais, la région dopée étant entièrement recouverte d'une couche de silicium polycristallin délimitée selon un motif qui s'étend en partie au-dessus de l'oxyde épais, la couche de silicium étant recouverte d'une couche isolante comportant une ouverture au-dessus de l'oxyde épais mais pas d'ouverture au-dessus de la région dopée, et la

couche isolante étant elle-même recouverte d'une couche conductrice venant en contact avec le silicium polycristallin à travers l'ouverture.

D'autres caractéristiques et avantages de l'invention apparaîtront 5 à la lecture de la description détaillée qui suit et qui est faite en référence aux dessins annexés dans lesquels :

- la figure 1 déjà décrite représente la constitution schématique d'un registre de lecture à transfert de charges ;

10 - la figure 2 représente, en vue de dessus et en détail la diode de lecture réalisée ;

- les figures 3 et 4 représentent en coupe, respectivement selon la ligne A-A et selon la ligne B-B de la figure 2, la diode de lecture ;

15 - les figures 5 à 11 représentent les différentes étapes de réalisation de la diode ; sur chaque figure, la partie de gauche représente le substrat coupé selon la ligne A-A de la figure 2, c'est-à-dire une ligne coupant les deux électrodes qui encadrent la diode, tandis que la partie droite représente le substrat coupé selon la ligne B-B de la figure 2, c'est-à-dire une ligne qui passe entre les électrodes sans les couper.

20 Sur la figure 2 (vue de dessus) et sur les figures 3 et 4 (coupes selon AA et selon B respectivement), la diode de lecture DL est définie par une zone dopée de type N+ diffusée dans le substrat 30 de type P. La zone dopée constitue un pôle de la diode, le substrat un autre pôle.

25 Dans le sens latéral des figures 2 et 3 (à gauche et à droite sur la figure 2 et sur la figure 3), cette zone est délimitée en pratique par les bords des deux grilles ou électrodes ELn et GRST qui l'encadrent. Les électrodes sont hachurées sur les figures 2 et 3. Dans le sens vertical de la feuille de la figure 2 (en haut et en bas sur la figure 2, à gauche et à droite sur la figure 4), la zone diffusée de type N+ est délimitée par des régions d'oxyde épais 30 (oxyde thermique classique LOCOS). Les lignes tiretées 10' de la figure 2 représentent les bords des zones d'oxyde épais 10 encadrant la diode. La zone correspondant à la diode DL ne comporte pas d'oxyde épais.

30 Les grilles ELn et GRST sont en silicium polycristallin et elles sont recouvertes d'une couche isolante d'oxyde de silicium 12 représentée en 35 pointillés sur les figures 2 et 3.

Une couche de silicium polycristallin conducteur 14, dopée de type N+ et gravée selon un motif approprié, vient en contact avec toute la zone de substrat 30 au-dessus de la diode DL là où le substrat n'est pas protégé par les grilles ELn et GRST et l'oxyde de silicium 10. Cette couche de silicium 5 remonte sur l'oxyde épais 10 comme on le voit sur la figure 4. Le motif de silicium polycristallin est délimité par une ligne 14' sur la figure 2. Ce motif permet de réaliser un contact électrique entre le pôle N+ de la diode et une couche conductrice d'aluminium, ce contact étant déporté c'est-à-dire non situé au-dessus de la diode mais situé au-dessus de l'oxyde épais 10.

10 Le motif de silicium polycristallin 14 est de préférence recouvert d'une couche de nitre de silicium 16. L'ensemble du motif de silicium polycristallin 14 et de la couche de nitre 16 est recouvert d'une couche isolante de passivation 18 qui recouvre aussi d'autres parties de la structure. Ces deux couches 16 et 18 sont localement ouvertes à l'endroit du contact 15 désiré avec une couche d'aluminium, donc à un endroit situé au-dessus de l'oxyde épais 10, mais pas au-dessus de la zone constituant la diode DL. L'ouverture de contact ainsi définie est délimitée par la ligne 20' de la figure 2. La couche métallique 22 est de préférence une couche d'aluminium, gravée selon un motif d'interconnexions désiré, déposée au-dessus de la 20 couche isolante 18 et venant en contact avec le silicium polycristallin 14 à travers l'ouverture formée dans les couches d'oxyde 18 et de nitre 16 au-dessus de l'oxyde épais 10. On notera que la couche de nitre de silicium est délimitée par le même motif (ligne 14') que la couche de silicium polycristallin sur laquelle elle est déposée, à l'exception des zones où elle est 25 ouverte pour permettre un contact électrique entre la couche de silicium polycristallin et la couche conductrice 22.

Sur les figures 2 à 4 on n'a pas représenté le drain DR classiquement prévu (cf. figure 1) de l'autre côté de la grille GRST. Ce drain sera fait comme la diode de lecture DL comme on l'expliquera plus loin.

30

Les figures 5 et suivantes représentent les différentes étapes de fabrication selon l'invention.

On part d'un substrat de silicium 30 de type P présentant éventuellement des variations de profil de dopage nécessaires au 35 fonctionnement (notamment une couche superficielle mince de transfert en

volume, de type N, non représentée) et on forme des grilles de silicium polycristallin adjacentes permettant la constitution d'électrodes d'un registre à transfert de charges, ceci selon un procédé classique qui peut être typiquement le suivant :

- 5 - oxydation superficielle du substrat produisant une couche d'oxyde mince uniforme 32 ;
 - dépôt d'une couche mince uniforme de nitre de silicium 34 ;
 - gravure du nitre selon un motif correspondant aux zones d'isolation désirées en oxyde épais 10 ;
- 10 - oxydation thermique épaisse de type LOCOS pour former les zones 10 là où il n'y a plus de nitre ;
 - dépôt d'une première couche uniforme de silicium polycristallin 36 ;
 - gravure de cette couche 36 pour définir une première série
- 15 d'électrodes de rang pair n, n-2, n-4, n-6, etc., espacées les unes des autres, parmi lesquelles l'électrode ELn et aussi l'électrode GRST⁺ ; les électrodes de rang impair n-1, n-3, n-5, viendront ultérieurement s'intercaler entre les électrodes de rang pair ;
 - oxydation thermique de la couche 36 pour que le silicium de
- 20 cette couche se recouvre latéralement et superficiellement d'oxyde de silicium isolant 12 ;
 - dépôt uniforme d'une deuxième couche de silicium polycristallin 38 qui vient notamment remplir l'espace entre les électrodes formées dans la première couche (par exemple entre l'électrode ELn de rang n et l'électrode
- 25 de rang n-2 qui la précède dans la première série) ;
 - gravure de la deuxième couche 38 pour définir une deuxième série d'électrodes, de rang impair ; les deux séries d'électrodes juxtaposées forment un registre permettant un transfert de charges dans le substrat par application de potentiels variables aux électrodes ; le silicium polycristallin de
- 30 la deuxième couche 38 est entièrement enlevé dans l'espace entre les grilles ELn et GRST, espace réservé à la diode de lecture DL, ainsi que dans l'espace qui sera réservé à la formation d'un drain DR.

La figure 5 représente le circuit intégré à ce stade de la fabrication.

Les étapes suivantes, plus spécifiques à l'invention vont maintenant être décrites.

On oxyde superficiellement par un procédé d'oxydation thermique la surface supérieure de l'ensemble. Le silicium polycristallin de la deuxième 5 couche 38 se recouvre superficiellement et latéralement d'une couche d'oxyde isolant de la même manière que le silicium polycristallin de la couche 36 avait été recouvert d'une couche d'oxyde 12. Au cours de la même opération d'oxydation, l'épaisseur de la couche 12 s'accroît. Etant donné que les couches d'oxyde formées lors de ces deux opérations d'oxydation sont 10 de même nature, on a désigné sur la figure 6 par une seule référence 12 la couche d'oxyde qui recouvre toutes les électrodes à la fin de cette deuxième opération d'oxydation du silicium polycristallin.

A la suite de cette opération d'oxydation, on enlève la couche de nitrure 34 là où elle n'est pas protégée par les électrodes, c'est-à-dire dans 15 les zones DL et DR réservées à la diode de lecture et au drain de remise à niveau. On enlève également la couche d'oxyde de silicium très mince 32 qui est mise à nu par l'enlèvement du nitrure. Ces deux dernières opérations n'affectent pratiquement pas la couche 12 qui est beaucoup plus épaisse que la couche 32.

20 La figure 6 représente le circuit intégré à la fin de cette étape.

On dépose alors une troisième couche uniforme 40 de silicium polycristallin qui vient remplir notamment l'espace entre les électrodes ELn et GRST ainsi que l'espace réservé au drain DR et qui vient directement en contact avec le substrat 30 dénudé dans ces espaces. Cette couche 40 25 formera ultérieurement le motif d'interconnexion 14 en silicium polycristallin des figures 2 à 4.

On dope fortement avec une impureté de type N le silicium de la couche 40, soit pendant le dépôt (dépôt en présence d'arsenic) soit après le dépôt et on procède à un traitement thermique suffisamment intense et 30 prolongé pour que les impuretés de type N se diffusent dans le substrat là où le silicium polycristallin est en contact avec le substrat dénudé (régions DL et DR). On forme ainsi une région diffusée 42 de type N⁺ dans le substrat qui constitue un premier pôle de la diode de lecture DL, le substrat constituant un deuxième pôle ; et on forme en même temps une région diffusée 44 de 35 type N⁺ qui constitue le drain DR. Il est à noter que le traitement thermique

peut se répartir au cours d'étapes ultérieures de la fabrication (notamment au cours des opérations d'oxydation), mais pour simplifier les explications on considère qu'il est fait dès ce moment.

La figure 7 représente le circuit à ce stade.

5 On effectue alors une succession d'opérations destinées à délimiter des zones de silicium polycristallin de la couche 40 pour former des motifs d'interconnexion désirés avec cette couche. Pour ce qui i concerne plus spécifiquement la diode de lecture, le motif d'interconnexion est le motif délimité par la ligne 14' de la figure 2, c'est-à-dire un motif qui permet de 10 déporter le contact d'aluminium (qu'on établira ultérieurement) ailleurs qu'au-dessus de la diode de lecture. Un autre motif peut être établi pour la connexion de la région de drain DR, et d'autres motifs encore sur le reste du circuit intégré.

15 On pourrait procéder à une gravure du silicium poly cristallin par attaque chimique de la couche 40 à travers une résine de masquage photogravée, mais une simple gravure du silicium présente des risques de défauts gênants ; en effet, lorsque le relief de la surface est accentué, la gravure peut laisser dans les transitions brusques de relief des résidus de silicium qui sont cause de court-circuits. On préfère procéder d'une autre 20 manière :

.. a) on dépose sur la couche uniforme 40 une couche de nitrure de silicium 46 et on grave cette couche selon un motif qui laisse subsister uniquement les zones d'interconnexion désirées. La figure 8 représente le circuit à ce stade. On voit qu'on a gardé une zone de nitrure 46 qui d'une part 25 recouvre la région de la diode de lecture 42 et qui d'autre part se prolonge au-dessus de l'oxyde épais 10.

b) on effectue alors un traitement thermique d'oxydation profonde du silicium polycristallin de la troisième couche 40. Cette oxydation se produit dans la masse du silicium là où il n'est pas protégé par le nitrure 46. Le 30 silicium polycristallin est entièrement transformé en oxyde de silicium 48 là où il n'est pas protégé. On aboutit à la structure de la figure 9, avec un motif d'interconnexions en silicium polycristallin 40 recouvert de nitrure, et, en dehors de ce motif, une couche d'oxyde de silicium 48 protégeant toutes les électrodes du registre.

On notera qu'on aurait pu, après dépôt et gravure du nitrure, également graver la couche de silicium polycristallin 40 par attaque chimique à travers le même masque qui a servi à graver la couche de nitrure 46, et procéder ensuite seulement à l'étape b, à savoir l'oxydation thermique des 5 résidus qui ont pu subsister après cette gravure du silicium.

Après avoir ainsi défini les motifs d'interconnexion de la couche 40, aboutissant à un motif d'interconnexion 14 défini à propos des figures 2 à 10, on dépose alors une couche de protection isolante 18, qui peut servir aussi de couche de planarisation (couche d'oxyde ou de polyimide 15 notamment). On pratique dans cette couche, ainsi que dans la couche de nitrure sous-jacente 46, une ouverture locale 50 à un endroit où on désire un contact avec le motif d'interconnexion en silicium polycristallin 40. L'ouverture 50 qui sert à établir le contact électrique avec la région N+ 42 de la diode de lecture est située au-dessus de l'oxyde épais 10 comme on le 15 voit sur la figure 10 ; son contour correspond au contour 20' de la figure 2.

On dépose enfin (figure 11) une couche conductrice 22, de préférence une couche d'aluminium, et on grave cette couche selon les motifs d'interconnexion désirés. La couche 22 remplit l'ouverture 50 et vient en contact avec le silicium polycristallin donc vient en contact indirectement 20 avec la région N+ de la diode de lecture DL.

La dimension de la diode DL peut être seulement de 1,5 micromètre par 1,5 micromètre, ce qui ne serait pas possible si le contact d'aluminium venait au-dessus de la diode (la dimension minimale serait plutôt de 4,5 par 4,5 micromètres).

REVENDICATIONS

1. Procédé de fabrication d'une diode (DL) de petites dimensions entre deux électrodes de silicium (ELn, GRST) déposées au-dessus d'un substrat (30), qui comporte les étapes suivantes :

5 - a) réalisation au-dessus du substrat des deux électrodes séparées par un intervalle,

- b) oxydation thermique d'une partie de l'épaisseur des électrodes, en hauteur et en largeur, en laissant subsister un espace entre les électrodes oxydées, le substrat étant protégé contre l'oxydation dans cet 10 espace ;

- c) mise à nu de la surface du substrat dans cet espace,

- d) dépôt d'une couche de silicium polycristallin dopé (4O) venant en contact dans cet espace avec le substrat pour former un pôle (42) de la diode, le substrat formant l'autre pôle,

15 - e) élimination partielle du silicium polycristallin en laissant subsister un motif désiré, ce motif recouvrant au moins l'espace laissé entre les électrodes et recouvrant également une région située hors de cet espace ;

20 - f) dépôt d'une couche isolante (18), gravure locale d'une ouverture (50) dans cette couche isolante au-dessus du silicium polycristallin hors de l'espace situé entre les électrodes, pour former une zone de contact déportée, dépôt d'une couche métallique (22) venant en contact avec le silicium polycristallin dans la zone de contact déportée, et gravure de la couche métallique selon un motif d'interconnexions désiré.

25

2. Procédé selon la revendication 1, caractérisé en ce que pour l'étape e) d'élimination partielle du silicium polycristallin, on dépose une couche uniforme de nitre de silicium (46), on la grave selon un motif qui laisse subsister la couche au-dessus des zones de silicium polycristallin 30 qu'on veut conserver, et ultérieurement on oxyde le silicium sur toute son épaisseur là où il n'est pas recouvert de nitre, jusqu'à obtenir un motif de silicium qui ne comprend que les zones qui ont été recouvertes de nitre.

3. Procédé selon la revendication 2, caractérisé en ce que entre le dépôt de la couche de nitre et l'étape ultérieure d'oxydation du silicium polycristallin, on attaque chimiquement le silicium polycristallin pour l'enlever autant que possible là où il n'est pas protégé par le nitre.

5

4. Circuit intégré comportant un registre de transfert de charges avec une diode de lecture au bout du registre, entre une dernière électrode du registre et une électrode de remise à niveau, caractérisé en ce que la diode de lecture est constituée par une région dopée (42) délimitée d'un côté 10 par les électrodes et de l'autre côté par des régions d'oxyde de silicium épais (10), la région dopée étant entièrement recouverte d'une couche de silicium polycristallin (14, 40) délimitée selon un motif qui s'étend en partie au-dessus de l'oxyde épais, la couche de silicium étant recouverte d'une couche isolante (18) comportant une ouverture (50) au-dessus de l'oxyde épais mais 15 pas d'ouverture au-dessus de la région dopée, et la couche isolante étant elle-même recouverte d'une couche conductrice venant en contact avec le silicium polycristallin à travers l'ouverture (50).

5. Circuit intégré selon la revendication 4, caractérisé en ce que 20 la couche de silicium polycristallin est recouverte de nitre de silicium elle-même recouverte par la couche isolante (50), la couche de nitre étant également ouverte à l'endroit de l'ouverture dans la couche isolante.

1/4

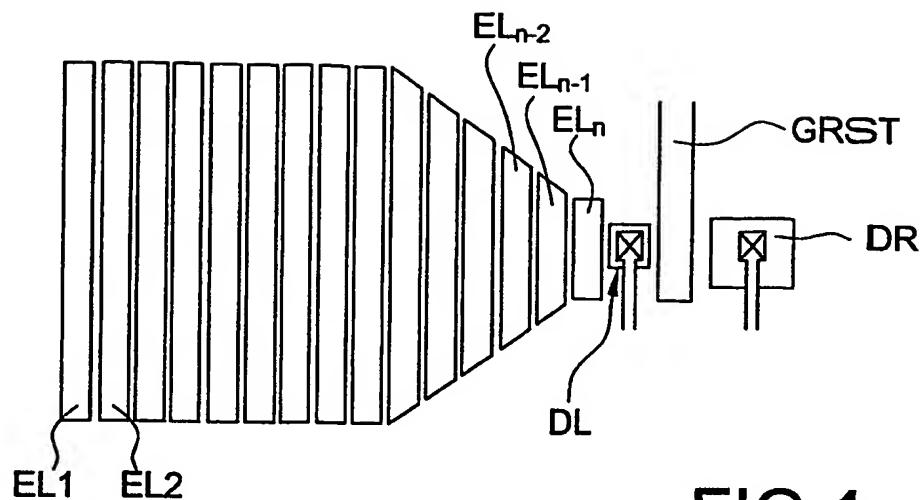


FIG. 1

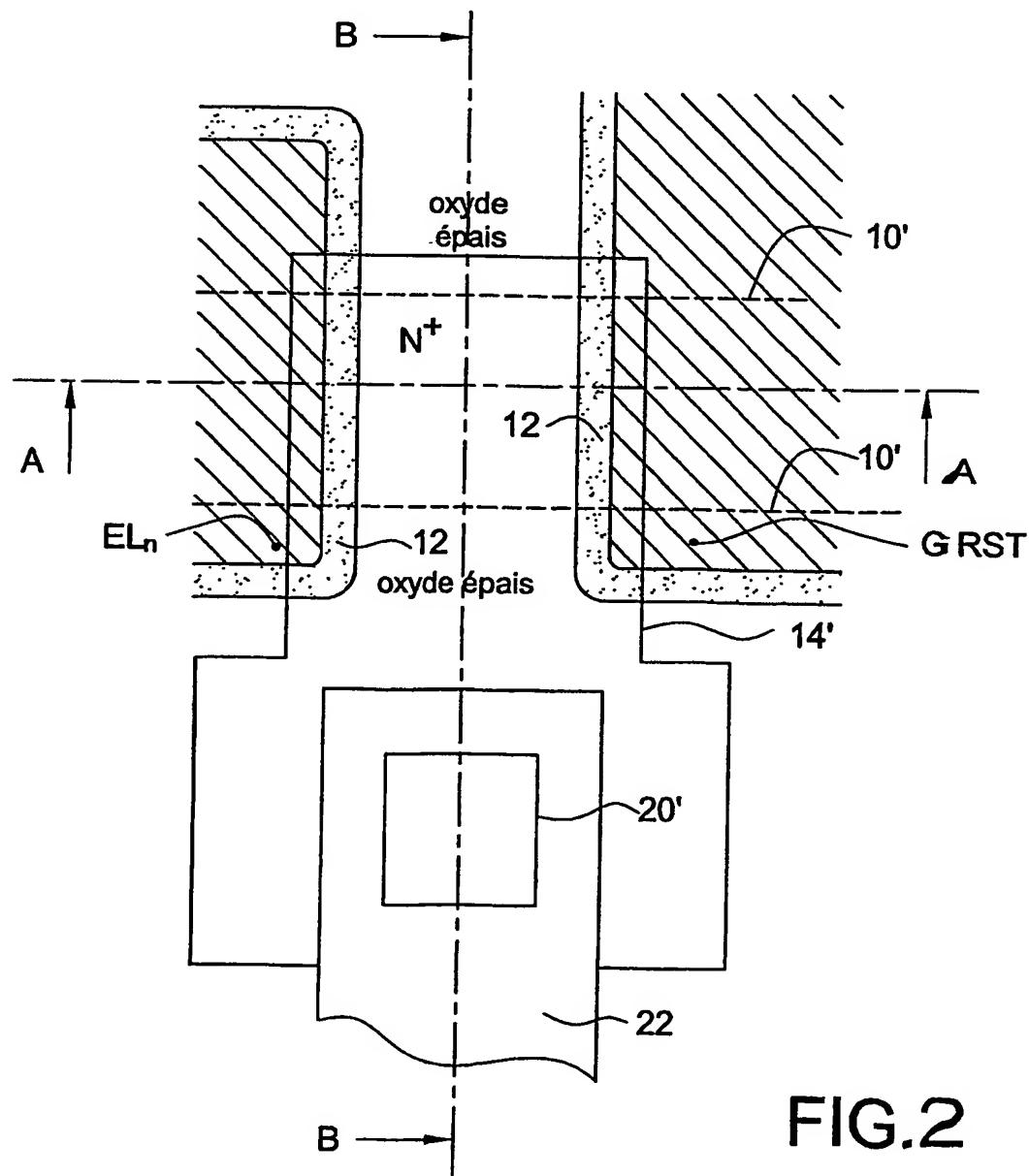
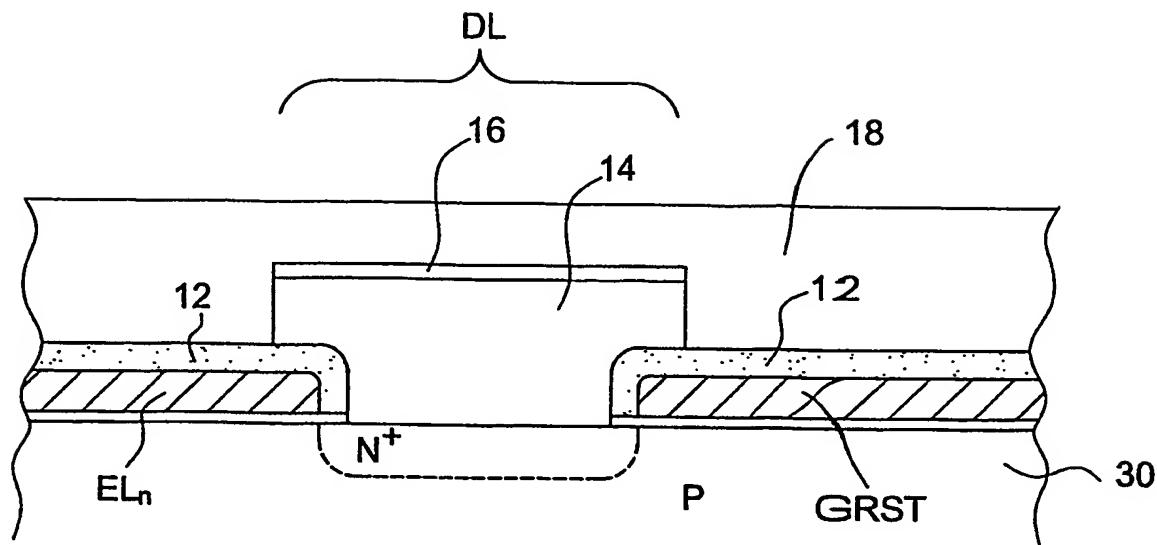


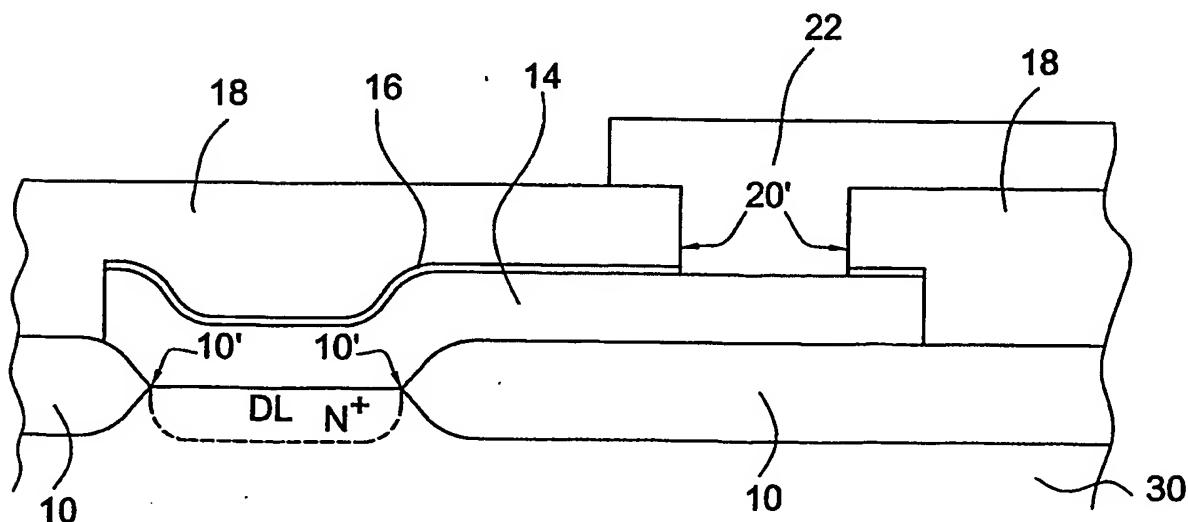
FIG. 2

2/4



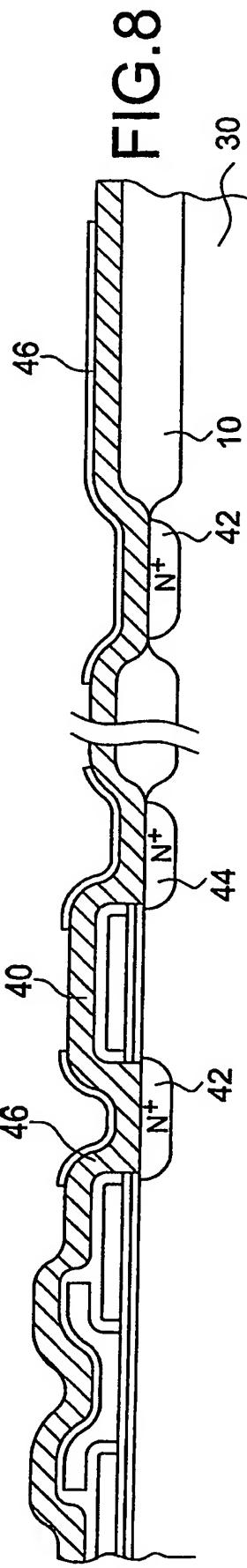
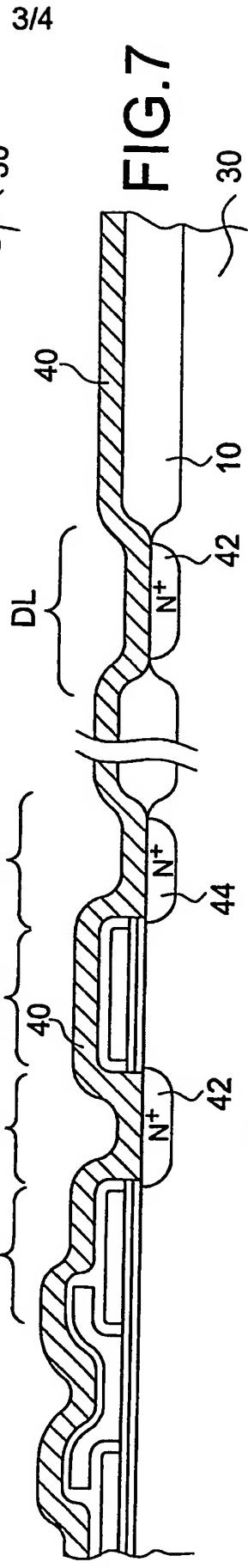
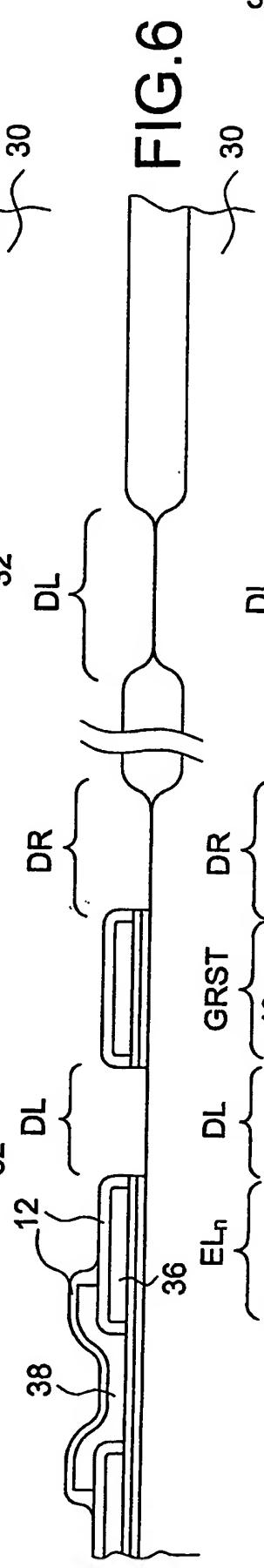
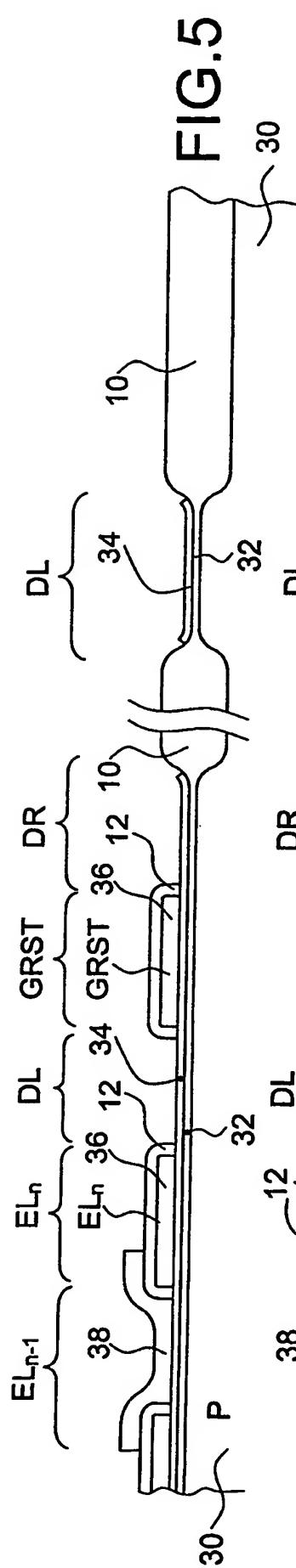
Coupe A-A

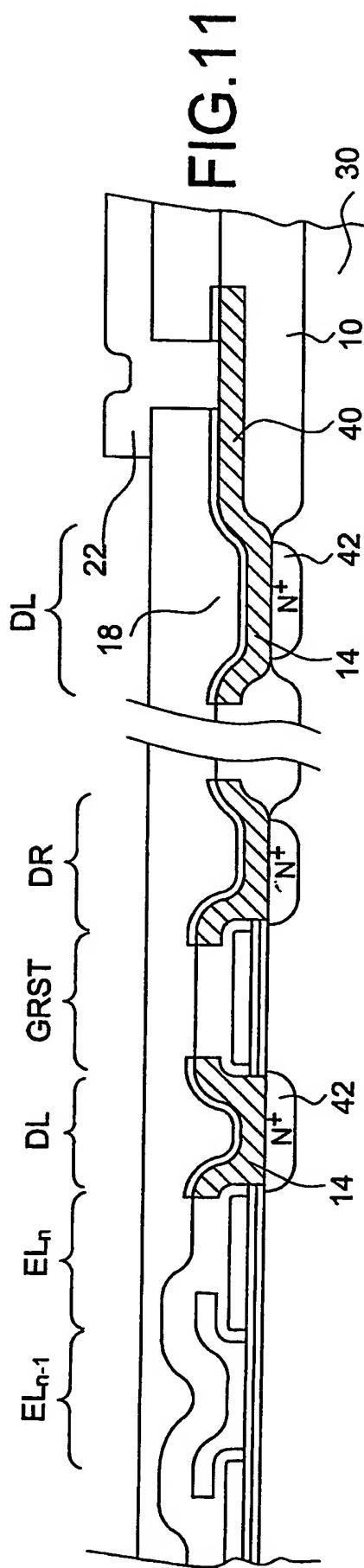
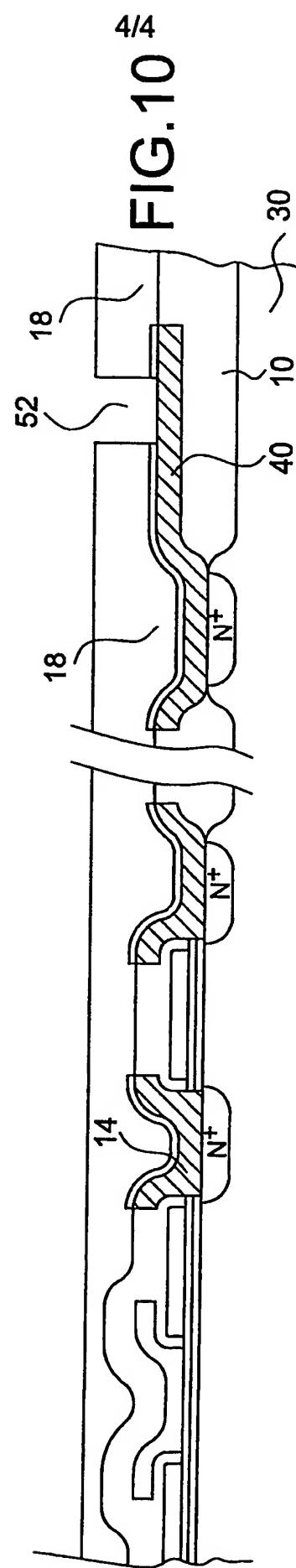
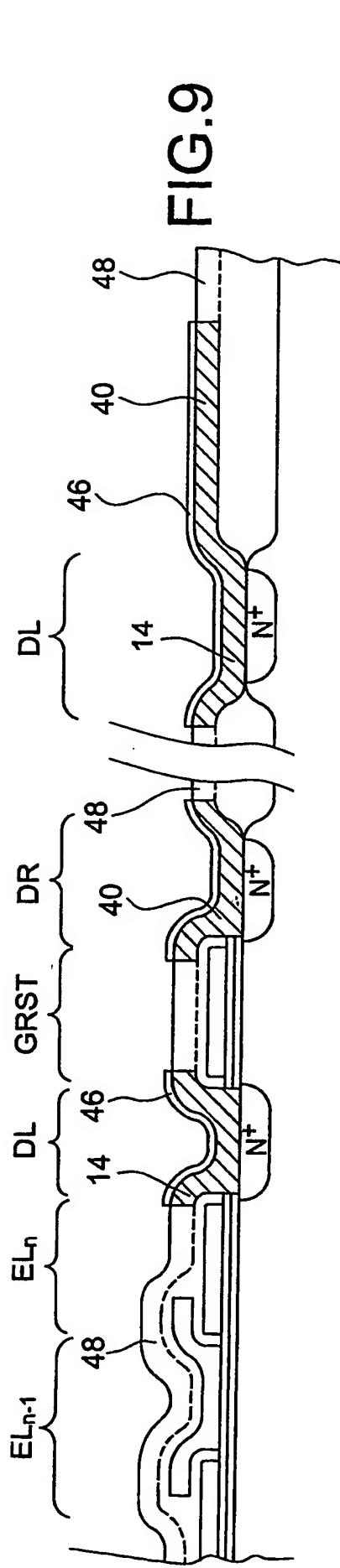
FIG.3



Coupe B-B

FIG.4





RAPPORT DE RECHERCHE INTERNATIONALE

Demande Internationale No
PCT/EP2005/050740A. CLASSEMENT DE L'OBJET DE LA DEMANDE
CIB 7 H01L29/768

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)
CIB 7 H01L

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)

EPO-Internal, PAJ, INSPEC

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	US 5 192 990 A (STEVENS ERIC G) 9 mars 1993 (1993-03-09) figures 1,4,6	1-5
A	PATENT ABSTRACTS OF JAPAN vol. 018, no. 499 (E-1607), 19 septembre 1994 (1994-09-19) -& JP 06 168964 A (TOSHIBA CORP), 14 juin 1994 (1994-06-14) abrégé; figures 6,7	1-5

 Voir la suite du cadre C pour la fin de la liste des documents Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

- "A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent
- "E" document antérieur, mais publié à la date de dépôt international ou après cette date
- "L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)
- "O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens
- "P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

- "T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention
- "X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément
- "Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier
- "&" document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

23 mai 2005

Date d'expédition du présent rapport de recherche internationale

01/06/2005

Nom et adresse postale de l'administration chargée de la recherche internationale
Office Européen des Brevets, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Cabrita, A

RAPPORT DE RECHERCHE INTERNATIONALE

Demande Internationale No
PCT/EP2005/050740

Document brevet cité au rapport de recherche	Date de publication		Membre(s) de la famille de brevet(s)	Date de publication
US 5192990	A	09-03-1993	DE 3788516 D1 DE 3788516 T2 EP 0282557 A1 JP 1502634 T WO 8802186 A1	27-01-1994 30-06-1994 21-09-1988 07-09-1989 24-03-1988
JP 06168964	A	14-06-1994	JP 3378281 B2	17-02-2003